



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09322158 A**

(43) Date of publication of application: 12.12.97

J1017 U.S. PTO.  
09/805110

(51) Int. Cl.

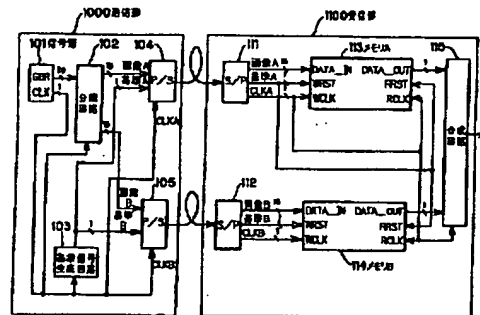
**H04N 7/24**(21) Application number: **08139117**(22) Date of filing: **31.05.96**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **HIROSE YOICHI**(54) **IMAGE SIGNAL TRANSMITTER**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To enable phase correction without providing any special phase difference detection circuit by resetting a read address corresponding to the reference of a signal of which the phase is most advanced.

**SOLUTION:** The transmitted signals of two systems are respectively inputted to serial/parallel(S/P) converting circuits 111 and 112, the image signal of 15 bits, the reference signal of 1 bit and a CLK signal are outputted as their outputs and these signals are equal with the input signals of P/S 104 and 105 at a transmission parts 1000. These outputs of S/P 111 and 112 having phase difference are respectively inputted to the data inputs, write address resets and write clocks of memories A113 and B114. The reference signal of a phase advanced signal is defined as the read address reset signal of the memories A113 and B114, the CLK of a phase advanced signal is defined as the read CLK of the memories A113 and B114 and DATA are read out so that data having no phase difference can be outputted from the memories A113 and B114.



## 【特許請求の範囲】

【請求項1】 信号源から出力されるnbitのデジタル画像信号を複数のパラレル信号に分割してそれぞれの信号に1bitの一定周期の基準信号を加えた信号をそれぞれシリアル信号に変換して送信部から伝送し、受信部で複数のシリアル信号から分割直後と同じ複数のパラレル信号および複数の基準信号とこのパラレル信号および基準信号に同期した複数のクロック信号とを再生した後、この伝送され再生された複数のパラレル信号をそれぞれ独立して別々のメモリ回路にそれぞれのタイミング基準信号で書き込みアドレスをリセットしてそれぞれのクロックタイミングで書き込みを行い、この伝送時の位相差を持ったままメモリに書き込まれた複数の伝送されてくる信号のうち位相の最も進んでいる信号の基準信号で読み出しアドレスリセットを行い、位相の最も進んでいる信号のクロックで読み出すことを特徴とする画像信号伝送装置。

【請求項2】 パラレルデジタル画像信号の発生源と、前記パラレルデジタル画像信号を複数のパラレル信号に分割する手段と、前記複数の分割したパラレル信号のそれぞれに共通の一定周期の基準信号を付加する手段と、前記複数のパラレル信号に前記基準信号を付加した信号のそれぞれをシリアル信号に変換して複数のシリアル信号として出力する手段と、前記複数のシリアル信号をそれぞれ伝送する手段と、前記伝送された複数のシリアルデジタル信号を受信する手段と、前記受信された複数のシリアルデジタル信号のそれぞれから元の分割された直後の複数のパラレル信号および基準信号とそのパラレル信号および基準信号に同期したクロックとを再生する手段と、前記複数の再生されたパラレル信号の伝送時に生じる位相差の予め判明している最長の時間以上のクロック数分のアドレスを有するメモリ手段と、前記複数の再生されたパラレル信号をそれぞれ前記メモリに書き込む手段と、前記複数のメモリ手段の書き込みアドレスをそれぞれ前記再生された基準信号でリセットする手段と、前記複数のメモリ手段への前記再生されたパラレル信号の書き込みを、前記再生されたそれぞれのクロックと同期して行う手段と、前記複数のメモリ手段の読み出しアドレスリセットを共通のリセット信号で行う手段と、前記複数のメモリ手段に書き込まれたそれぞれのパラレル信号を共通のクロックのタイミングで読み出す手段とを備え、前記共通のリセット信号と共通のクロックとして、前記伝送されてくる複数のシリアル信号のうち最も位相の進んでいるシリアル信号から再生された基準信号とクロックを用いることを特徴とする画像信号伝送装置。

【請求項3】 複数の再生されたパラレル信号のうち最も位相の進んでいる信号を判別する位相判別回路と、前記位相判別回路の出力に基づき、最も位相の進んでいる信号の基準信号とクロックとをそれぞれのメモリ手段に

与える複数のセレクターとを備えた請求項2記載の画像伝送装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、1つの画像信号を複数の伝送路に分割して伝送するときの位相差のずれを補償することにより、画像信号を遠方に伝送することを可能とした画像信号処理装置に関する。

## 【0002】

【従来の技術】1組のデジタル画像信号nbitを複数の分割して伝送し、これを受信側で合成して再生する場合に、伝送されてきた2系統の信号に伝送時間の差いわゆる位相差が発生することがあるので、これを補正して元の正しい信号に復元する必要がある。例えばデータA(xbit)とデータB((n-x)bit)の2系統に分割する場合、それぞれのパラレルデジタル信号をシリアルデジタル信号に変換して別々に伝送し、その伝送されたそれぞれのシリアルデジタル信号を元のパラレルデータA(xbit)とデータB((n-x)bit)に変換し合成して、元のnbitの信号を復元する場合の従来の補正方法を図6を用いて説明する。図6において、シリアル/パラレル変換回路(S/P)601の出力データAとデータBは、伝送されてきた2系統のシリアル信号からパラレル信号に変換された信号であり、伝送時間の差いわゆる位相差を含んでいるものである。この伝送される信号のデータAとデータBは、それぞれに共通の位相基準信号を付加してある。位相差量検出回路602では、その2系統で伝送されていた位相基準信号の位相差量を検出し、その検出結果に基づき位相の進んでいる方の信号を遅延回路603または604で位相差量分遅延させている。

【0003】このように、従来は、複数の伝送されてくる信号の位相差を検出する回路を設け、検出結果に基づき位相の進んでいる信号を遅延させることにより位相差の補正を行っていた。

## 【0004】

【発明が解決しようとする課題】しかしながら、上記従来技術では、複数の系統の伝送路に位相差があり、その位相差を補正する場合、受信側にそれぞれの伝送路で伝送されてくる位相基準信号の位相差を検出して、その検出結果に基づき位相の進んでいる信号を遅延させて補正しているため、位相差検出回路を設ける必要があった。

【0005】本発明は、複数の系統の伝送路で伝送されてくる信号のうち、最も位相が進んでいる系統が判明しているときに、上記のような特別な位相差検出回路を設けなくても、位相差補正を可能とする優れた画像信号伝送装置を提供することを目的とする。

【0006】また、本発明は、複数の系統の伝送路で伝送されてくる信号のうち最も位相の進んでいる信号の系統が判明しない時でも、上記のような特別な位相差量検出

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 3 2 2 1 5 8

(43) 公開日 平成9年(1997)12月12日

(51) Int. Cl. <sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/24

H 0 4 N 7/13

Z

審査請求 未請求 請求項の数 3

O L

(全 7 頁)

(21) 出願番号 特願平8-139117

(22) 出願日 平成8年(1996)5月31日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 広 瀬 洋 一

神奈川県横浜市港北区綱島東四丁目3番1号

松下通信工業株式会社内

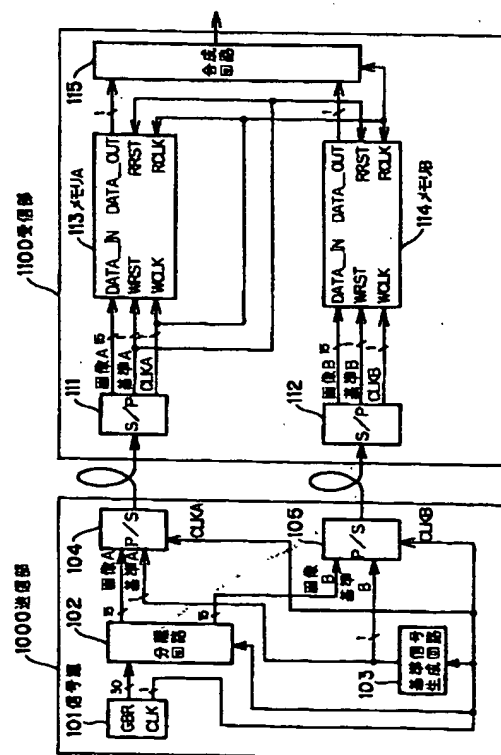
(74) 代理人 弁理士 蔵合 正博

(54) 【発明の名称】 画像信号伝送装置

## (57) 【要約】

【課題】 1つの画像信号を複数の伝送路に分割して伝送するときの位相のずれを位相差検出回路を設けずに補正するのを目的とする。

【解決手段】 複数の分割したパラレル信号にそれぞれ共通の1bitの一定周期の基準信号を加えてシリアル信号に変換して伝送し、受信側では、伝送されてきた複数のシリアル信号をそれぞれパラレル信号に変換して同時に基準信号とそのパラレル信号と基準信号に同期したクロックを再生し、その再生された複数のパラレル信号を、複数のメモリにそれぞれの基準信号による書き込みアドレスリセットを行い、それぞれのクロックで伝送時の位相差を持ったまま書き込む。その位相差を持って書き込まれた複数のメモリの読み出しアドレスリセットを、伝送される複数信号のうち最も位相の進んでいる信号の基準信号で行い、最も位相の進んでいる信号のクロックで読み出すことにより位相差を補正する。



回路を設けなくても、位相差補正を可能とする優れた画像信号伝送装置を提供することを目的とする。

#### 【0007】

【課題を解決するための手段】本発明は、上記目的を達成するために、信号源から出力されるnbitのデジタル画像信号を複数のパラレル信号に分割してそれぞれの信号に1bitの一定周期の基準信号を加えた信号をそれぞれシリアル信号に変換して送信部から伝送し、受信部で複数のシリアル信号から分割直後と同じ複数のパラレル信号および複数の基準信号とこのパラレル信号および基準信号に同期した複数のクロック信号とを再生した後、この伝送され再生された複数のパラレル信号をそれぞれ独立して別々のメモリ回路にそれぞれのタイミング基準信号で書き込みアドレスをリセットしてそれぞれのクロックタイミングで書き込みを行い、この伝送時の位相差を持ったままメモリに書き込まれた複数の伝送されてくる信号のうち位相の最も進んでいる信号の基準信号で読み出しアドレスリセットを行い、位相の最も進んでいる信号のクロックで読み出すことにより、位相差のないデータとして出力するものであり、受信側に特別な位相差検出回路を設けなくても、複数の伝送路で伝送されるデジタル画像信号の位相差を補正することができる。

【0008】また、本発明は、伝送される複数のデジタル画像信号のうち最も位相の進んでいる信号が判明していない時でも、簡単な位相判別回路を設けることにより、特別な位相差量検出回路を設けなくても、2つの伝送路で伝送される信号の位相差を補正することができるようにしたものである。

#### 【0009】

【発明の実施の形態】本発明の請求項1に記載の発明は、信号源から出力されるnbitのデジタル画像信号を複数のパラレル信号に分割してそれぞれの信号に1bitの一定周期の基準信号を加えた信号をそれぞれシリアル信号に変換して送信部から伝送し、受信部で複数のシリアル信号から分割直後と同じ複数のパラレル信号および複数の基準信号とこのパラレル信号および基準信号に同期した複数のクロック信号とを再生した後、この伝送され再生された複数のパラレル信号をそれぞれ独立して別々のメモリ回路にそれぞれのタイミング基準信号で書き込みアドレスをリセットしてそれぞれのクロックタイミングで書き込みを行い、この伝送時の位相差を持ったままメモリに書き込まれた複数の伝送されてくる信号のうち位相の最も進んでいる信号の基準信号で読み出しアドレスリセットを行い、位相の最も進んでいる信号のクロックで読み出すことにより、位相差のないデータとして出力するものであり、受信側に特別な位相差検出回路を設けなくても、複数の伝送路で伝送されるデジタル画像信号の位相差を補正することができる。

【0010】本発明の請求項2に記載の発明は、パラレルデジタル画像信号の発生源と、パラレルデジタル

画像信号を複数のパラレル信号に分割する手段と、複数の分割したパラレル信号のそれぞれに共通の一定周期の基準信号を付加する手段と、複数のパラレル信号に前記基準信号を付加した信号のそれぞれをシリアル信号に変換して複数のシリアル信号として出力する手段と、複数のシリアル信号をそれぞれ伝送する手段と、伝送された複数のシリアルデジタル信号を受信する手段と、受信された複数のシリアルデジタル信号のそれぞれから元の分割された直後の複数のパラレル信号および基準信号とそのパラレル信号および基準信号に同期したクロックとを再生する手段と、複数の再生されたパラレル信号の伝送時に生じる位相差の予め判明している最長の時間以上のクロック数分のアドレスを有するメモリ手段と、複数の再生されたパラレル信号をそれぞれメモリに書き込む手段と、複数のメモリ手段の書き込みアドレスをそれぞれ再生された基準信号でリセットする手段と、複数のメモリ手段への再生されたパラレル信号の書き込みを、再生されたそれぞれのクロックと同期して行う手段と、複数のメモリ手段の読み出しアドレスリセットを共通のリセット信号で行う手段と、複数のメモリ手段に書き込まれたそれぞれのパラレル信号を共通のクロックのタイミングで読み出す手段とを備え、共通のリセット信号と共通のクロックとして、伝送されてくる複数のシリアル信号のうち最も位相の進んでいるシリアル信号から再生された基準信号とクロックを用いることを特徴とする画像信号伝送装置であり、別々の伝送手段で伝送された複数の分割された画像信号の位相差を吸収することができる作用を有する。

【0011】本発明の請求項3に記載した発明は、複数の再生されたパラレル信号のうち最も位相の進んでいる信号を判別する位相判別回路と、前記位相判別回路の出力に基づき、最も位相の進んでいる信号の基準信号とクロックとをそれぞれのメモリ手段に与える複数のセクターとを備えた請求項2記載の画像伝送装置であり、別々の伝送手段で伝送される複数の分割された画像信号の最も位相が進んでいる画像信号が予め確定していない場合でも、分割された画像信号の位相差を吸収することができる作用を有する。

【0012】（実施の形態1）以下、本発明の実施の形態について、図1から図5を用いて説明する。図1は本発明の第1の実施の形態における画像信号伝送装置の構成を示し、2系統に分割して伝送する場合の例である。画像信号を別々の伝送路で伝送するときに生じる位相差量は、ほとんどの場合、そのシステムの伝送距離に依存しており、ほとんどのシステムでは、最大伝送距離があらかじめ決まっている。したがって、最大の位相差も決まっているのが一般的である。本実施の形態では、位相差が4CLK未満の場合としたときのものである。

【0013】図1において、1000は送信部、1100は受信部である。送信部1000において、信号源1

10

20

30

40

50

01は、デジタルのG信号10bit、B信号10bit、R信号10bitの合計30bitと、CLK1bitを出力する。GBR計30bitは、分離回路102で15bitづつの2系統に分離される。基準信号生成回路103は、一定周期の基準信号を生成して出力する。この基準信号は、例えば4CLK毎に1CLK"High"になる信号である。15bit毎に分割された画像信号は、それぞれパラレル/シリアル変換回路(P/S)104、105に入力される。P/S104、105には、それぞれ基準信号生成回路103の出力信号である基準信号1bitも入力される。P/S104と105は、入力された計16bitのパラレル信号を1bitのシリアル信号に変換して出力する。このP/S104、105から出力された信号は、図示されない伝送手段により伝送路へ出力される。

【0014】ここで送信部1000の出力の2系統の信号が、受信部1100で受信したときに位相差を持ってしまう理由には様々な要因が考えられるが、その理由の一つに送信部1000の出力のシリアル2系統の信号を、それぞれ波長の異なる光信号に変換して、その2種類の波長の光信号を波長多重して1本の光ファイバーで伝送した場合には、波長の相違による光信号の伝送速度の相違から生じる場合がある。この場合は、予め光波長が決まっているので、2系統の信号のどちらの位相が進んでいるのか予め知ることができる。

【0015】伝送されてきた2系統の信号は、受信部1100の図示されない受信手段により受信され、シリアル/パラレル変換回路(S/P)111、112にそれぞれ入力される。S/P111と112は、それぞれ15bitの画像信号とそれぞれ1bitの基準信号とCLK信号を出力する。このS/P111と112の出力は、送信部1000のP/S103と104の入力信号と同じ信号である。この時、S/P111の出力信号とS/P112出力信号は位相差を持っている。この位相差を持ったS/P111の出力とS/P112の出力の15bit画像信号および1bitの基準信号とCLKは、それぞれメモリA113とメモリB114のデータ入力(以下DATA\_IN)と書き込みアドレスリセット(以下WRST)と書き込みクロック(以下WCLK)に入力される。

【0016】図2はメモリA113とメモリB114の動作を示すタイミング図である。図2では、メモリAに入力される画像A信号がメモリBに入力される画像B信号よりも位相が進んでいるとする。メモリAとメモリBは、それぞれWRST信号の立ち上がりで書き込みアドレスをリセットして、WCLKのタイミングでDATA\_INをアドレス0～アドレス3に書き込む。この時メモリAとメモリBに書き込まれるタイミングは位相差を持っている。また、メモリAとメモリBのアドレス0～アドレス3に書き込まれたデータはそれぞれ4CLK間保持される。この位相差を持って別々のタイミングで書

き込まれたデータを、位相の進んでいる信号の基準信号でメモリAとメモリBの読み出しアドレスリセット信号(以下RRST)とし、位相の進んでいる信号のCLKをメモリAとメモリBの読み出しCLK(以下RCLK)として、アドレス0～アドレス3にDATAが保持されている間にDATAを読み出すことにより、メモリAとメモリBから位相差のないデータを出力できる。すなわち、図2では、メモリAとメモリBのRRSTに基準信号Aを用い、メモリAとメモリBのRCLKにCLKAを用いてメモリAから画像A、メモリBから画像Bを出力する。

【0017】次に、メモリA113とメモリB114の構成例を図3に示す。入力信号は、位相差を持った画像Aと画像B、基準信号Aと基準信号B、CLKAとCLKBである。本例では画像Aと基準信号AとCLKAの位相が進んでいるとする。まずメモリA113のブロックについて説明する。画像Aはフリップフロップ(以下FF)304、305、306、307に入力される。基準信号Aは、FF304のクロックとFF301のデータとして入力される。CLKAはFF301、302、303、カウンタ308のクロック入力となる。FF301に入力された基準信号Aは、1CLK遅れてFF302に入力し、さらに1CLK遅れてFF303に入力し、さらに1CLK遅れて出力される。FF301の出力はFF305のCLKとなり、FF302の出力はFF306のCLKとなり、FF303の出力はFF307のCLKとなる。すなわちFF304、305、306、307は、入力データ信号は共通であるが、CLKは1CLKずつ遅れた4CLKに1回立ち上がる信号である。そのため画像AはFF304、305、306、307に1CLKずつずれて書き込まれ、4CLK間保持されることになる。すなわち、FF304、305、306、307は、メモリA113の4つのアドレス空間ということになる。FF304、305、306、307の出力は、それぞれセクター309の0番入力、1番入力、2番入力、3番入力として入力される。カウンタ308は、基準信号Aでカウント値を初期値にリセットし、0～3CLKのカウント値を出力する。この出力は4入力1出力のセクター309のセレクト値として入力される。セクター309は、0～3番入力をセレクト値に基づいてセレクトして出力する。

【0018】次にメモリB114のブロックについて説明する。メモリB114には、画像Bと基準信号BとCLKBが入力される。この入力された信号は、画像BはFF314、315、316、317の入力データ信号として入力される。基準信号Bは、FF314のクロック入力とFF311、312、313の入力データ信号として入力される。CLKBは、FF311、312、313のクロック入力となる。メモリB114のFF3

11、312、313、314、315、316、317は、メモリA113のFF301、302、303、304、305、306、307と同様に動作し、FF314、315、316、317は1CLKずつずれて画像Bを書き込み、それぞれ4CLK間保持する。FF314、315、316、317の出力は、それぞれ4入力1出力セレクター318の0番入力、1番入力、2番入力、3番入力として入力される。4入力1出力セレクター318は、メモリA113のカウンタ308の出力信号をセレクト値として入力して0~3番入力をセレクト値に基づいてセレクトし出力する。この4入力1出力セレクター309と318は共通のタイミングのセレクト値入力により位相差のない画像Aと画像Bを出力する。以上のような構成により、図2に示す動作を行い、位相差の補正を行うことができる。

【0019】図1のメモリA113とメモリB114から出力される位相差補正されたそれぞれ15bitの画像信号は、合成回路115に入力され、信号源100から出力されたGBR信号と同一の位相差のない信号を出力する。

【0020】（実施の形態2）図4は本発明の第2の実施の形態における画像信号伝送装置の構成を示し、2系統に分割して伝送する場合の例であり、伝送されてくる2信号の位相差が最大2CLK未満とあらかじめ判明しているものとして、また、2つの伝送されてくる画像信号のうち位相の進んでいる信号が判明していないものとする。伝送されてくる2つの画像信号のうち位相の進んでいる信号が判明していない時は、実施の形態1に位相判別回路を設ける必要がある。

【0021】図4において、401、402、403、404、405、411、412の動作は実施の形態1の101、102、103、104、105、111、112と同様であるため省略する。シリアル/パラレル変換回路(S/P)411と412の出力信号の15bitの画像信号と1bitの基準信号とCLKは図1と同様にメモリA413とメモリB414に入力され、アドレス0~アドレス3に書き込まれる。この時、S/P411の出力の基準信号AとCLKAとS/P412の出力の基準信号BとCLKBは、位相判別回路420に入力される。位相判別回路420は2系統信号の位相の進んでいる信号を判別する。

【0022】この位相判別回路420の実現方法には、例えば次のような方法が考えられる。基準信号Aの立ち上がりから基準信号Bの立ち上がりまでの時間(X)と、基準信号Bの立ち上がりから基準信号Aの立ち上がりまでの時間(4CLK-X)で、立ち上がり間隔が予め判明している最大位相差の2CLK未満となる場合の最初の立ち上がりの基準信号の系を位相の進んでいる系と判別する。すなわち、Xが2CLK未満なら基準信号Aの系の位相が進んでいることとなり、Xが2CLK以上

の場合は、基準信号Bの系の位相が進んでいることになる。

【0023】セレクター421は基準信号Aと基準信号Bを入力し、セレクター422はCLKAとCLKBを入力し、それぞれ位相判別回路420の出力に基づき、位相の進んでいる系の基準信号とCLKを出力する。メモリA413とメモリB414の読み出しリセット信号と読み出しCLKは、セレクター421と422の出力信号である。メモリA413とメモリB414と合成回路415の動作は、実施の形態1と同様であるので省略する。

【0024】なお、本実施の形態では、位相差は2CLK未満であるのにメモリアドレスが4つあるのは冗長となるので、メモリアドレスを2つとすることが望ましい。そのときの回路を図5に示す。図5は図3とほぼ同様な回路であるが、図3でメモリA、メモリB共にアドレスの役割をするフリップフロップが4つあったのを504と505、514と515の各2つにし、さらにこのフリップフロップのクロック入力を各2つのOR回路506と507、516と517を用いて2CLKに1回の立ち上がり信号としたものである。このような回路構成とすることにより、最大位相差が2CLK未満で位相の進んでいる系が判明していない場合の図4のメモリA413とメモリB414を冗長なく実現することができる。

【0025】以上のように、本実施の形態によれば、複数の伝送路で伝送したときで最も位相の進んでいる系が判明していない場合でも、その位相差補正を可能とすることができる。

【0026】

【発明の効果】以上のように本発明によれば、一つのパラレルディジタル画像信号を複数に分割して複数系統の伝送路で伝送する装置において、複数系統の伝送路に位相差があり、その位相差を補正する場合に、複数系統の伝送路で伝送される信号のうち最も位相が進んでいる系統が判明しているときに、特別な位相差検出回路を設けなくても位相差補正を可能にする効果がある。

【0027】また、複数系統の伝送路で伝送されてくる信号のうち、最も位相の進んでいる信号の系統が判明しない場合でも、簡単な位相判別回路を設けることにより、特別な位相差量検出回路を設けなくても位相差補正を可能にする効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態1における画像信号伝送装置のブロック図

【図2】同装置におけるメモリAとメモリBの動作説明のためのタイミング図

【図3】同装置におけるメモリAとメモリBのブロック図

【図4】本発明の実施の形態2における画像信号伝送装

置のブロック図

【図5】同装置におけるメモリAとメモリBのブロック図

【図6】従来の画像信号伝送装置の受信部における位相差補正回路のブロック図

【符号の説明】

1000、4100 送信部

1100、4100 受信部

101、401 信号源

102、402 分離回路

103、403 基準信号生成回路

104、105、404、405 パラレル/シリアル変換回路 (P/S)

111、112、411、412 シリアル/パラレル変換回路 (S/P)

113、114、413、414 メモリ回路

115、415 合成回路

301、302、303、304、305、306、307、311、312、313、314、315、316、317、501、502、503、504、505、511、512、513、514、515 フリップフロップ回路

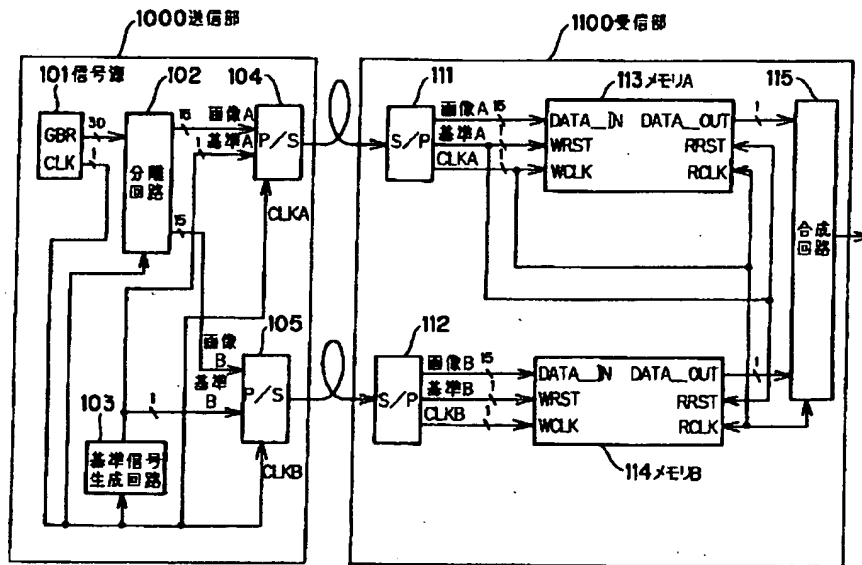
10 308、508 カウンター

309 318、509、518 セレクター

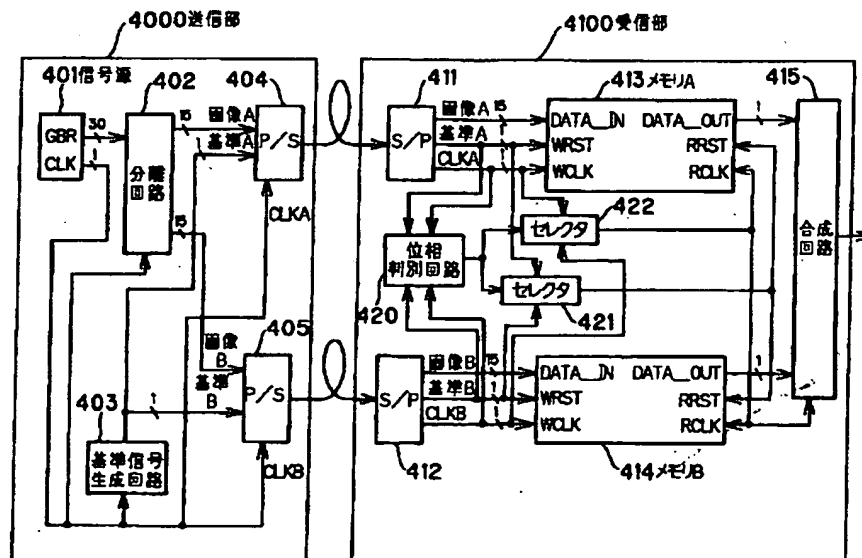
340、540 出力信号

506、507、516、517 OR回路

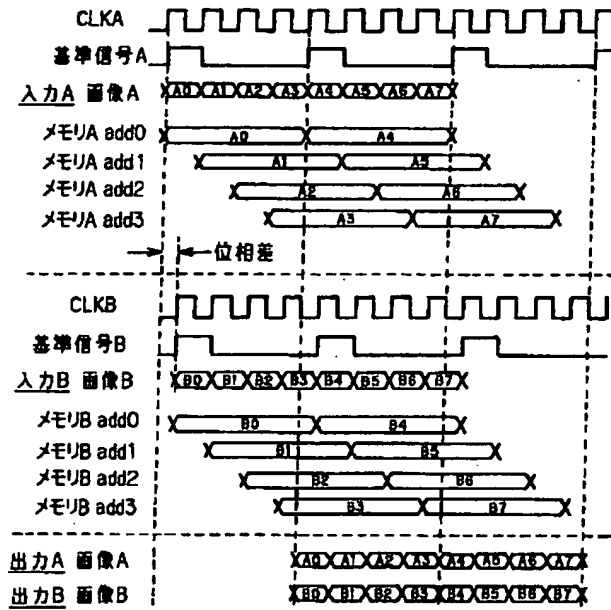
【図1】



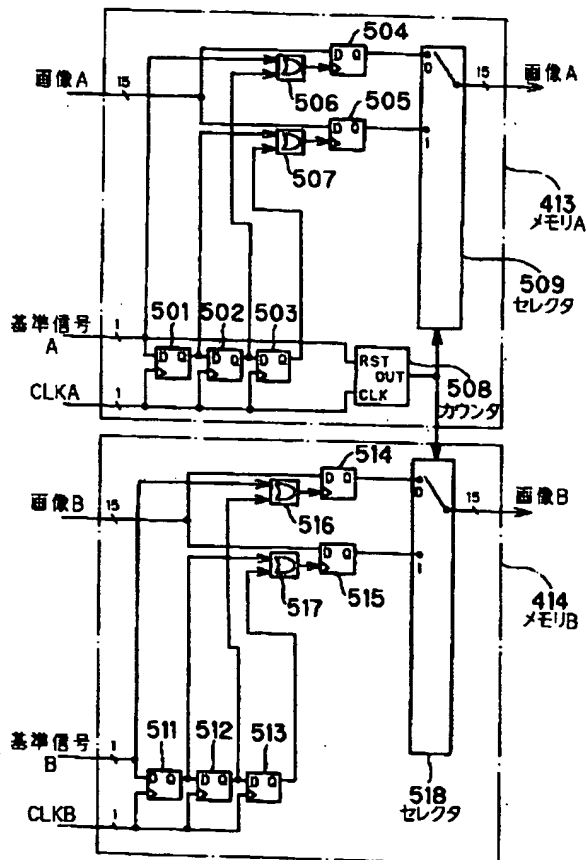
【図4】



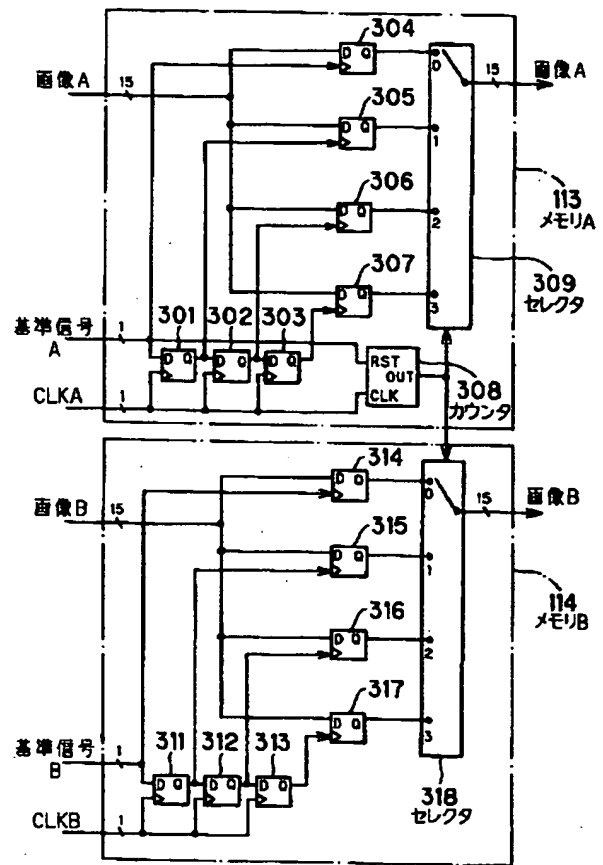
【図2】



【図5】



【図3】



【図6】

